

RS

2

10-4-01

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of
Kiyoshi TSUNEKI et al.
Serial No. (unknown)
Filed herewith

11017 U.S. PTO
09/939675
08/28/01

CELL SEARCH METHOD AND
CIRCUIT IN W-CDMA SYSTEM

**CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicants' corresponding patent application filed in Japan on August 30, 2000, under No. 2000-260608.

Applicants herewith claim the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By Benoît Castel
Benoît Castel
Attorney for Applicants
Registration No. 35,041
Customer No. 00466
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

August 28, 2001

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

US

11017 U.S. PTO
09/939675
06/28/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 8月30日

出 願 番 号
Application Number:

特願2000-260608

出 願 人
Applicant(s):

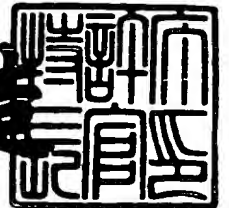
日本電気株式会社
日本電気アイシーマイコンシステム株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月16日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3008908

Best Available Copy

【書類名】 特許願
 【整理番号】 75210249
 【提出日】 平成12年 8月30日
 【あて先】 特許庁長官 殿
 【国際特許分類】 H04J 13/00
 H04B 7/26
 H04L 7/00

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 恒木 潔

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目 4 0 3 番 5 3 日本
 電気アイシーマイコンシステム株式会社内

【氏名】 丸山 勇一

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【包括委任状番号】 9722617

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 W-CDMA システムにおけるセルサーチ方法及び回路

【特許請求の範囲】

【請求項 1】

スロットタイミング同定を行う第 1 のステップと、
フレームタイミング同定を行う第 2 のステップと、
スクランブリングコード同定を行う第 3 ステップとを含む、CDMA 移動体通信システムにおけるセルサーチ方法であって、

前記スロットタイミング同定を行う第 1 のステップでは、コリレータ部が、P-サーチコード (P-Search Code) を用いて逆拡散処理を行い、

前記フレームタイミング同定を行う第 2 のステップでは、前記コリレータ部が、S-サーチコード (S-Search Code) を用いて逆拡散処理を行い、

スクランブリングコード同定を行う第 3 のステップでは、前記コリレータ部が、P-スクランブリングコード (P-Scrambling Code) を用いて逆拡散処理を行い、前記各ステップにおける相関値の算出を共通の前記コリレータ部で行うようにしたことを特徴とするセルサーチ方法。

【請求項 2】

スロットタイミング同定を行う第 1 のステップと、
フレームタイミング同定を行う第 2 のステップと、
スクランブリングコード同定を行う第 3 ステップと、を含む、CDMA 移動体通信システムにおけるセルサーチ方法において、

前記各ステップにおける相関値の算出をコリレータ部で行い、

前記スロットタイミング同定の第 1 のステップでは、スロットタイミング同定結果を 1 候補に絞らずに複数候補検出し、その際、一定期間毎に、相関パワーが最大値を示す 1 候補を検出することで、1 スロット区間あたりスロットタイミングを複数候補検出し、

前記フレームタイミング同定の第 2 のステップでは、前記スロットタイミングの複数候補を基に、すべての候補に対してフレームタイミング同定を行い、前記フレームタイミングの複数候補の中で、最大値を示すものを 1 つ選択し、

前記スクランブリングコード同定を行う第3ステップでは、前記第2のステップで選択された1候補のタイミングについて、相関パワーを求め、スレッシュホールド判定を行って同定する、ことを特徴とするセルサーチ方法。

【請求項3】

ベースバンド受信信号を入力とするコリレータ部に、スロットタイミング同定を行う第1のステップではP-サーチコード (P-Search Code) の生成を行い、フレームタイミング同定を行う第2のステップではS-サーチコード (S-Search Code) の生成を行い、スクランブリングコード同定を行う第3のステップではP-スクランブリングコード (P-Scrambling Code) の生成を行うコード生成部を設け、前記コリレータ部は、前記第1のステップではP-サーチコード (P-Search Code) を利用した逆拡散処理、前記第2のステップではS-サーチコード (S-Search Code) を利用した逆拡散処理、前記第3のステップでは、P-スクランブリングコード (P-Scrambling Code) を利用した逆拡散処理を行い、

前記コリレータ部の相関値出力を受けたパワー計算部はパワー計算を行って相関パワーをメモリに格納し、

前記第1乃至第3のステップにおいて、検出部が、前記メモリに格納された相関パワーの最大値検索を行い、

前記第2のステップと前記第3のステップにおいて、判定部が、予め定められたスレッシュホールド係数を用いて、前記メモリに格納された相関パワーの平均値と最大値の判定を行うセルサーチ方法であって、

前記第1のステップでは、前記検出部が、1シンボル区間につき、最大となる候補を1つ検出し、複数のシンボルについて、複数のスロットタイミングの候補を検出し、

前記第2のステップでは、前記スロットタイミングの複数候補を基に、すべてのスロットタイミング候補に対して、フレームタイミング同定を行い、前記検出部では、前記フレームタイミングの複数候補の中で最大値を示すものを1つ選択する、ことを特徴とするセルサーチ方法。

【請求項4】

前記コリレータ部が、前記第1のステップにおいて、P-サーチコード (P-Se

arch Code) による相関パワーのプロファイルを作成するにあたり、前記コリレータ部内に並設された複数のコリレータは、それぞれ1チップ毎に、逆拡散位置を1チップシフトしながら動作を開始し、1シンボル区間逆拡散を行い結果を出力する処理を、複数シンボル区間よりなる1スロットにわたって連続して行い、

前記複数のコリレータの個数分のチップ期間停止した後、再び次のスロットについて、前のスロットと同様の処理を行い、

前記処理を、予め定められた複数のスロットにわたって行うことにより所定数個のチップ位置での逆拡散を終了し、

前記所定数個のチップ位置すべてのタイミングで、前記コリレータ部での相関値算出および前記パワー計算部でのパワー計算が終了し相関パワーが前記メモリに書き込まれると、前記検出部が、最大値検索を開始し、1シンボル区間につき、最大となる候補を1つ検出し、複数シンボルについて複数個の候補を検出する、ことを特徴とする請求項3記載のセルサーチ方法。

【請求項5】

前記第2のステップにおいて、S-サーチコードによる相関値を求める前記コリレータ部において、複数の(2N)のコリレータは、二つの群に分かれて動作し、同じ群のコリレータは同じタイミングで動作し、

第1群のコリレータは、それぞれ、コード番号が1から順にNまでのすべてのコードで逆拡散を行い、第2群のコリレータは、それぞれ、コード番号が1から順にNまでのすべてのコードで逆拡散を行い、前記第1群のコリレータは奇数シンボルを、前記第2群のコリレータは偶数シンボルを、1シンボル区間逆拡散を行い結果を出力し、この処理を、所定数のスロットにわたって行うことにより逆拡散を終了し、すべてのタイミング候補で前記コリレータ部と前記パワー計算部での相関パワーの計算が終了し相関パワーが前記メモリに書き込まれると、前記検出部が、相関パワーの最大値検索を開始し、最大となる候補を1候補検出し、

前記判定部が、前記1つの候補について、前記メモリに書き込まれたパワー値の平均と最大値、及び、スレッシュホールド値を用いて判定を行う、ことを特徴とする請求項3記載のセルサーチ方法。

【請求項6】

前記判定部において、前記最大値が、(スレッシュホールド値) × (平均値) を超えている場合、前記第 3 のステップへ進み、最大値が(スレッシュホールド値) × (平均値) を超えていない場合、前記第 1 のステップへ戻る、ことを特徴とする請求項 5 記載のセルサーチ方法。

【請求項 7】

前記第 1 のステップのリスタート回数が、あらかじめ定められたパラメータで指定される回数を超えた場合、セルサーチは失敗と判断しセルサーチを終了する、ことを特徴とする請求項 6 記載のセルサーチ方法。

【請求項 8】

前記第 3 のステップでは、前記第 2 のステップで検出した 1 候補のタイミングにおいて、P-スクランブリングコード (P-Scrambling Code) による相関パワープロファイルを作成し、

前記コリレータ部と前記パワー計算部による相関パワーの計算が終了し、相関パワーが前記メモリに書き込まれると、前記検出部が、最大値検索を開始して、最大となる候補を 1 候補検出し、

前記判定部が、前記候補に対して、前記メモリに書き込まれたパワー値の平均と最大値、スレッシュホールド値を用いて行う判定を行う、ことを特徴とする請求項 3 記載のセルサーチ方法。

【請求項 9】

前記最大値が(スレッシュホールド値) × (平均値) を超えている場合、セルサーチを正常終了し、最大値が(スレッシュホールド値) × (平均値) を超えていない場合、前記第 3 のステップへ戻る制御を行う、ことを特徴とする請求項 8 記載のセルサーチ方法。

【請求項 10】

前記第 1 のステップにおけるスロットタイミング候補を、1 シンボルに 1 つ検出する代わりに、1 シンボル区間あたり複数の候補を検出する、ことを特徴とする請求項 3 又は 4 記載のセルサーチ方法。

【請求項 11】

前記第 1 のステップにおけるスロットタイミング候補を、1 シンボルに 1 つ検

出する代わりに、複数のシンボルにつき 1 候補を検出する、ことを特徴とする請求項 3 又は 4 記載のセルサーチ方法。

【請求項 1 2】

スロットタイミング同定を行う第 1 のステップでは、P-サーチコード (P-Search Code) の生成を行い、フレームタイミング同定を行う第 2 のステップでは S-サーチコード (S-Search Code) の生成を行い、スクランブリングコード同定を行う第 3 のステップでは、P-スクランブリングコード (P-Scrambling Code) の生成を行うコード生成部と、並設された複数個のコリレータと、を備え、前記第 1 のステップでは、P-サーチコード (P-Search Code) を利用した逆拡散処理、前記第 2 のステップでは、S-サーチコード (S-Search Code) を利用した逆拡散処理、前記第 3 のステップでは、P-スクランブリングコード (P-Scrambling Code) を利用した逆拡散処理を行うコリレータ部と、

前記コリレータ部の出力から相関パワーを計算して出力するパワー計算部と、

前記パワー計算部の出力を格納するメモリと、

前記各ステップにおいて、前記メモリに格納された相関パワーの最大値検索を行う検出部と、

前記第 2 のステップと前記第 3 のステップにおいて、予め定められたスレッシュホールド係数を用いて、前記メモリに格納されている相関パワーの平均値と最大値の判定を行う判定部と、

前記各部の動作タイミングの制御を行う制御部と、を少なくとも備えていることを特徴とするセルサーチ回路。

【請求項 1 3】

前記コリレータ部が、前記第 1 のステップにおいて、P-サーチコード (P-Search Code) による相関パワーのプロファイルを作成するにあたり、

前記コリレータ部の並設された複数のコリレータは、それぞれ 1 チップ毎に、逆拡散位置を 1 チップシフトしながら動作を開始し、1 シンボル区間逆拡散を行い結果を出力する動作を、複数シンボル区間よりなる 1 スロットにわたって連続して行うとともに、つづいて前記複数のコリレータの個数分のチップ期間停止した後、再び次のスロットについて、前のスロットと同様の処理を行い、

前記処理を予め定められた複数のスロットにわたって行うことで、所定数個のチップ位置での逆拡散を終了し、所定数個のチップ位置すべてのタイミングで、前記コリレータ部での相関値算出および前記パワー計算部でのパワー計算が終了し、相関パワーが前記メモリに書き込まれると、前記検出部が、最大値検索を開始し、1シンボル区間につき、最大となる候補を、1つ検出し、複数シンボルにつき複数個の候補を検出する、ことを特徴とする請求項12記載のセルサーチ回路。

【請求項14】

前記第2のステップにおいて、前記第1のステップで検出された複数の候補のタイミングすべてにおいて、S-サーチコードでの相関パワープロファイルの作成を行うにあたり、前記コリレータ部の複数の(2N個)のコリレータは、二つの群に分かれて動作し、同じ群のコリレータは同じタイミングで動作し、

第1群のコリレータは、それぞれ、コード番号が1から順にNまでのすべてのコードで逆拡散を行い、第2群のコリレータは、それぞれ、コード番号が1から順にNまでのすべてのコードで逆拡散を行い、前記第1群のコリレータは、奇数シンボルを、前記第2群のコリレータは偶数シンボルを1シンボル区間逆拡散を行い結果を出力し、この処理を、所定個数のスロットにわたって行うことで逆拡散を終了し、

すべてのタイミングで前記コリレータ部の相関値算出および前記パワー計算部でのパワー計算が終了し、相関パワーが前記メモリに書き込まれると、前記検出部が、最大値検索を開始し、最大となる候補を1候補検出し、

前記判定部が、前記候補について、前記メモリに書き込まれたパワー値の平均と最大値、スレッシュホールド値を用いて判定を行う、ことを特徴とする請求項12記載のセルサーチ回路。

【請求項15】

前記判定部における判定の結果、最大値が(スレッシュホールド値)×(平均値)を超えている場合、第3のステップの処理に移行し、一方、最大値が(スレッシュホールド値)×(平均値)を超えていない場合、前記第1のステップからの処理を実行するように制御する手段を備えたことを特徴とする請求項14記載のセルサ

一チ回路。

【請求項 1 6】

前記第 1 のステップのリスタート回数があらかじめ定められたパラメータで指定された回数を超えた場合、セルサーチは失敗と判断してセルサーチを終了するように制御する手段を備えたことを特徴とする請求項 1 4 又は 1 5 記載のセルサーチ回路。

【請求項 1 7】

前記第 3 のステップでは、前記コリレータ部は、前記第 2 のステップで検出した 1 候補のタイミングにおいて、P-スクランブリングコード (P-Scrambling Code) での相関パワープロファイルを作成し、

前記コリレータ部の相関値算出および前記パワー計算部でのパワー計算が終了し、相関パワーが前記メモリに書きこまれると、前記検出部が、最大値検索を開始し、最大となる候補を 1 候補検出し、

前記判定部が、前記候補に対して、前記メモリに書きこまれたパワー値の平均と最大値、スレッシュホールド値を用いて行う判定を行う、ことを特徴とする請求項 1 2 記載のセルサーチ回路。

【請求項 1 8】

前記判定部における判定の結果、前記最大値が (スレッシュホールド値) \times (平均値) を超えている場合、セルサーチを正常終了し、一方、最大値が (スレッシュホールド値) \times (平均値) を超えていない場合、前記第 3 のステップへ戻る制御を行う手段を備えた、ことを特徴とする請求項 1 7 記載のセルサーチ回路。

【請求項 1 9】

前記検出部において、前記第 1 のステップにおけるスロットタイミング候補を、シンボル区間あたり複数候補検出する構成とされている、ことを特徴とする請求項 1 2 又は 1 3 記載のセルサーチ回路。

【請求項 2 0】

前記検出部において、前記第 1 のステップにおけるスロットタイミング候補を、複数シンボルにつき 1 候補検出し、1 スロット間で複数候補を検出する構成とされている、ことを特徴とする請求項 1 2 又は 1 3 記載のセルサーチ回路。

【請求項 2 1】

請求項 1 2 乃至 2 0 のいずれかーに記載のセルサーチ回路を備えたことを特徴とする移動体端末。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、移動体無線通信システムにおけるセルサーチ方法及び装置に関し、特に、W-CDMA (Wide CDMA) システムにおけるセルサーチ方法及び回路に関する。

【0 0 0 2】

【従来の技術】

移動体端末を用いたCDMA (Code Division Multiple Access; 符号分割多元接続) セルラ方式の無線通信システムにおいては、移動体端末の電源オン時の初期同期確立作業や移動にともなうセル切り替え時などのセルサーチを行う必要がある。

【0 0 0 3】

図 7 は、従来の移動体端末のセルサーチ回路 2 の構成の一例を示す図である。図 7 を参照すると、ベースバンド受信信号 (RX) を入力とするマッチドフィルタ 2 3 は、ステップ 1 (スロットタイミング同定) のみの逆拡散処理を実行する。なお、SS (スプレッドスペクトラム) 拡散通信方式において、初期接続等を高速に行うマッチドフィルタは、複数段のレジスタと、各段のレジスタの出力と係数を乗算する複数の乗算器と、複数の乗算器の出力を加算して出力する加算器よりなり、例えば 1 シンボル 2 5 6 チップの場合、2 5 6 段のマッチドフィルタについて、I 成分 (同相成分) と Q 成分 (直交成分) で、5 1 2 個の加算器と、5 1 2 ワードのレジスタから構成される。

【0 0 0 4】

ステップ 2 (フレームタイミング同定)、ステップ 3 (スクランブリングコード同定) の逆拡散は、コリレータ部 (相関部) 2 1 で行う。コリレータ部 2 1 は、ステップ 2、ステップ 3 で、共通に使用される。すなわち、コリレータ部 2 1

のコード生成部 2 2 は、ステップ 2 ではフレームタイミング同定用のコード、ステップ 3 ではスクランプリングコード同定用のコードを生成し、コリレータ部 2 1 のコリレータは、コード生成部 2 2 で生成されるコードと、ベースバンド受信信号との相関をとる。

【 0 0 0 5 】

セクタ 2 4 は、コリレータ部 2 1 とマッチドフィルタ 2 3 の出力を選択出力する。

【 0 0 0 6 】

パワー計算部 2 5 は、セクタ 2 4 の出力を入力し、I 成分（同相成分）と Q 成分（直交成分）の 2 乗値を求めパワー（電力値）の計算を行う。

【 0 0 0 7 】

1 シンボルが 2 5 6 チップ、1 スロットが 1 0 シンボルよりなるとして、メモリ 2 6 は、メモリ容量が 2 5 6 0 ワードの RAM（ランダムアクセスメモリ）よりなり、ステップ 1、ステップ 2、ステップ 3 の処理でシェアして使用される。

【 0 0 0 8 】

ディテクト（Detect）部 2 7 は、マッチドフィルタ 2 3、コリレータ部 2 1 よりメモリ 2 6 に書き込まれた相関値の最大値検索を行う。

【 0 0 0 9 】

判定部 2 8 では、スレッシュホールド係数を用いて、メモリ 2 6 内の平均値と最大値の判定を行う。

【 0 0 1 0 】

コントロール部 2 0 は、システムカウンタ（System Counter）信号を入力し、各部の動作タイミングの制御を行う。

【 0 0 1 1 】

かかる構成において、ステップ 1 のマッチドフィルタ 2 3 は、毎チップ 1 つの相関値を出力し、2 5 6 0 チップ（1 スロット）で計算を終了する。

【 0 0 1 2 】

なお、マッチドフィルタ、相関器を備えたセルサーチ回路の構成として、例えば特開平 1 1 - 8 8 2 9 5 号公報、および特開平 1 1 - 2 0 0 4 4 7 号公報等の

記載が参照される。

【0013】

【発明が解決しようとする課題】

従来のセルサーチ方法では、ステップ1～3の各ステップにおいて確定候補を1つに絞って、次のステップへ進む構成とされている。すなわち、ステップ1では、候補を1つしか出力しない。このため、高速に逆拡散を行い、さらに、数スロット間、累積加算を行うことにより、ステップ1の候補の信頼性を高める必要があった。この理由で、図7に示したように、従来のセルサーチ回路には、マッチドフィルタ23が必要とされている。

【0014】

しかしながら、マッチドフィルタを用いた従来のセルサーチ回路においては、ステップ1でしかマッチドフィルタを使用していず、結果的に、回路規模が増大し、また消費電流の増加ともなっている、という問題点を有している。

【0015】

したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、マッチドフィルタを要しないセルサーチを実現することで、回路規模を縮減し、消費電量の低減を図る方法及び回路を提供することにある。

【0016】

【課題を解決するための手段】

前記目的を達成する本発明は、スロットタイミング同定を行う第1のステップと、フレームタイミング同定を行う第2のステップと、スクランプリングコード同定を行う第3ステップと、を含むCDMA移動体通信システムにおけるセルサーチ方法において、前記各ステップにおける相関値の算出をコリレータ部で行い、前記スロットタイミング同定の第1のステップでは、スロットタイミング同定結果を1候補に絞らずに複数候補検出し、その際、一定期間毎に、相関パワーが最大値を示す1候補を検出することで、1スロット区間あたりスロットタイミングを複数候補検出し、前記フレームタイミング同定の第2のステップでは、前記スロットタイミングの複数候補を基に、すべての候補に対してフレームタイミング同定を行い、前記フレームタイミングの複数候補の中で最大値を示すものを1

つ選択し、前記スクランプリングコード同定を行う第3ステップでは、前記第2のステップで選択された1候補のタイミングについて相関パワーを求め、スレッシュホールド判定を行って同定する、ものである。

【0017】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明は、ITU (International Telecommunication Union) の提唱するW-CDMA (IMT-2000) FDD (Frequency Division Duplexing) モードにおけるセルサーチの、ステップ1 (スロットタイミング同定)、ステップ2 (フレームタイミング同定)、ステップ3 (スクランプリングコード同定) において、以下の特徴を有する。

【0018】

(1) ステップ1 (スロットタイミング同定) とステップ2 (フレームタイミング同定) を1つの検出サイクルとする。

【0019】

(2) ステップ1におけるスロットタイミング同定結果を、1候補に絞らずに複数候補検出する。

【0020】

(3) ステップ1におけるスロットタイミングの複数の候補から、一定期間毎に最大値を示す1候補を検出する。

【0021】

(4) ステップ2のフレームタイミング同定では、ステップ1の複数候補の結果を基に、すべての候補に対して、フレームタイミング同定を行う。

【0022】

(5) ステップ2のフレームタイミングの複数候補の中で、最大値を示すものを1つ選択する。

【0023】

(6) ステップ2のフレームタイミングの1候補に対してスレッシュホールド判定を行い同定する。

【0024】

(7) ただし、上記(6)のスレッシュホールド判定において、スレッシュホールド判定条件をクリアできない場合、ステップ1から、やり直す。

【0025】

上記(1)～(7)の特徴を有するセルサーチアルゴリズムを用いることにより、本発明では、従来のセルサーチ方法で用いられていた、ステップ1のみで使用するマッチドフィルタを削除し、ステップ2、ステップ3で使用するコリレータをシェアすることで、ステップ1を実現しており、このため、回路規模、および消費電流の削減することができる。

【0026】

本発明に係る回路は、その好ましい一実施の形態において、スロットタイミング同定を行う第1のステップでは、P-サーチコード(P-Search Code)の生成を行い、フレームタイミング同定を行う第2のステップではS-サーチコード(S-Search Code)の生成を行い、スクランブリングコード同定を行う第3のステップでは、P-スクランブリングコード(P-Scrambling Code)の生成を行うコード生成部(12)と、並設された複数個のコリレータと、を備え、前記第1のステップでは、P-サーチコード(P-Search Code)を利用した逆拡散処理、前記第2のステップでは、S-サーチコード(S-Search Code)を利用した逆拡散処理、前記第3のステップでは、P-スクランブリングコード(P-Scrambling Code)を利用した逆拡散処理を行うコリレータ部(11)と、コリレータ部(11)の出力から相関パワーを計算して出力するパワー計算部(13)と、前記パワー計算部の出力を格納するメモリ(14)と、前記各ステップにおいて、前記メモリに格納された相関パワーの最大値検出を行う検出(ディテクト)部(15)と、前記第2のステップと前記第3のステップにおいて、予め定められたスレッシュホールド係数を用いて、前記メモリに格納されている相関パワーの平均値と最大値の判定を行う判定部(16)と、前記各部の動作タイミングの制御を行う制御部(10)と、を少なくとも備えている。

【0027】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施

例について図面を参照して以下に説明する。図 1 は、本発明の一実施例としてのセルサーチ回路 1 の構成を示す図である。図 1 を参照すると、本発明の一実施例においては、図 7 のマッチドフィルタは設けられていず、ベースバンド受信信号 (RX) を入力とするコリレータ部が、ステップ 1 (スロットタイミング同定)、ステップ 2 (フレームタイミング同定)、ステップ 3 (スクランブリングコード同定) を行う構成とされている。

【 0 0 2 8 】

コリレータ部 1 1 のコード生成部 1 2 は、ステップ 1 の場合、P-サーチコード (P-Search Code) の生成、ステップ 2 の場合、S-サーチコード (S-Search Code) の生成、ステップ 3 の場合、P-スクランブリングコード (P-Scrambling Code) の生成をそれぞれ行う。なお、P-サーチコード (P-Search Code; 第 1 サーチコード)、S-サーチコード (S-Search Code; 第 2 サーチコード)、P-スクランブリングコード (P-Scrambling Code) は、3 G P P (3rd Generation Partnership Project) が規定したコードであり、3 G P P の仕様書 (3 G T S 25.213 第 5.22, 5.23 章) が参照される。

【 0 0 2 9 】

コリレータ 1 1 部は、3 2 個のコリレータ (相関器) を備え、ステップ 1 では、コード生成部 1 2 より生成される P-サーチコード (P-Search Code) を利用した逆拡散処理、ステップ 2 では、コード生成部 1 2 より生成される S-サーチコード (S-Search Code) を利用した逆拡散処理、ステップ 3 では、コード生成部 1 2 より生成される P-スクランブリングコード (P-Scrambling Code) を利用した逆拡散処理を行う。このように、コリレータ部 1 1 は、ステップ 1、ステップ 2、ステップ 3 の各ステップでシェアして用いられる。

【 0 0 3 0 】

パワー計算部 1 3 は、コリレータ部 1 1 の出力を入力し、I 成分と Q 成分の 2 乗値の計算を行う。

【 0 0 3 1 】

メモリ 1 4 は、1 シンボルが 2 5 6 チップ、1 スロットが 1 0 シンボルの場合、メモリ容量が 2 5 6 0 ワードの R A M (ランダムアクセスメモリ) よりなり、

ステップ 1、ステップ 2、ステップ 3 でシェアして使用する。

【 0 0 3 2 】

ディテクト（検出）部 1 5 では、コリレータ部 1 1 よりメモリ 1 4 に書きこまれた相関値を基に、最大値検索を行う。

【 0 0 3 3 】

判定部 1 6 では、スレッシュホールド係数を用いてメモリ内の平均値と最大値の判定を行う。ただしステップ 1 では、セクタ 1 7 を介して、判定部 1 6 の処理は、パスされる。

【 0 0 3 4 】

コントロール部 1 0 は、システムカウンタ（System Counter）信号を入力し、各ブロックの動作タイミング制御を行う。

【 0 0 3 5 】

本発明の一実施例の動作について詳細に説明する。以下では、ステップ 1 でのスロットタイミング候補を 1 シンボル毎に 1 候補、計 1 0 候補検出する場合について説明する。

【 0 0 3 6 】

図 2 は、本発明の一実施例におけるセルサーチの動作を説明するためのフローチャートである。

【 0 0 3 7 】

セルサーチは、図 2 に示す通り、ステップ（STEP）1 ～ステップ（STEP）3 の 3 つのステップで行われる。

【 0 0 3 8 】

セルサーチが動作を開始すると、直ちに、P-サーチコード（P-Search Code）を用いて相関パワープロファイルの作成を開始する（ステップ 1-1）。

【 0 0 3 9 】

図 3 は、この相関パワープロファイルを作成するためのコリレータ部 1 1 の動作タイミングを示した図である。

【 0 0 4 0 】

（1）コリレータ部 1 1 内の並設された 3 2 個のコリレータ 1 ～3 2 は、それ

ぞれ、1チップ毎に、逆拡散位置を1チップシフトしながら、動作を開始し、1シンボル（256チップ）区間逆拡散を行い、結果を出力する。

【0041】

（2）上記（1）の処理を、1スロット（10シンボル）にわたって連続して行う。

【0042】

（3）つづいて32チップ期間停止した後、再び、上記（1）から同様の動作を行う。

【0043】

（4）上記（1）～（3）の処理を、8スロットにわたって行うことにより、2560チップ位置での逆拡散を終了する。

【0044】

コリレータ11の出力（相関値）は、パワー計算部13で、I成分とQ成分の2乗値を加算した相関パワーの計算が行われ、メモリ14に書きこまれる。

【0045】

1スロット区間（2560チップ位置）すべてのタイミングで、コリレータ11の動作およびパワー計算部13でのパワー計算が終了し、相関パワーがメモリ14に書きこまれると、ディテクト部15が最大値検索を開始する（ステップ1-2）。

【0046】

図4は、本発明の一実施例における最大値の検索方法を示す図である。検索方法は、1シンボル（256チップ）区間につき、最大となる候補を1候補を検出し、10シンボルのそれぞれについて計10候補検出する。以上で、ステップ1の処理は終了する。

【0047】

次のステップ2では、ステップ1で検出された10候補のタイミングすべてにおいて、コリレータ部11でS-サーチコード（S-Search Code）を用いた相関パワープロファイルの作成を開始する。

【0048】

図 5 は、本発明の一実施例において、ステップ 2 において、相関パワープロファイルを作成するためのコリレータ部 1 1 の動作タイミングを示す図である。

【 0 0 4 9 】

図 5 に示すように、コリレータ部 1 1 内の 3 2 個の各コリレータは、コリレータ 1 ～ 1 6 とコリレータ 1 7 ～ 3 2 の 2 つの群に分かれて動作する。同じ群のコリレータは同じタイミングで動作する。

【 0 0 5 0 】

第 1 群のコリレータ 1 ～ 1 6 のコード番号は、コリレータ 1 がコード番号 1、コリレータ 2 がコード番号 2、…というように、順に、コード番号 1 6 までのすべてのコードで行う。

【 0 0 5 1 】

また第 2 群のコリレータ 1 7 ～ 3 2 のコード番号は、コリレータ 1 7 がコード番号 1、コリレータ 1 8 がコード番号 2、…というように、順に、コード番号 1 6 までのすべてのコードで行う。

【 0 0 5 2 】

第 1 群のコリレータ 1 ～ 1 6 は奇数シンボルを、第 2 群のコリレータ 1 7 ～ 3 2 は偶数シンボルを、それぞれ、1 シンボル（2 5 6 チップ）区間、逆拡散を行い結果を出力する。この処理を、1 5 スロット間行うことにより、逆拡散を終了する。

【 0 0 5 3 】

コリレータ 1 1 の出力は、パワー計算部 1 3 でパワー計算され、メモリ 1 4 に書き込まれる。

【 0 0 5 4 】

すべてのタイミングで、コリレータ 1 1 の動作およびパワー計算部 1 3 でのパワー計算が終了し、メモリ 1 4 に書き込まれると、ディテクト部 1 5 が、最大値検索を開始し、最大となる候補を 1 候補検出する（ステップ 2 - 2）。

【 0 0 5 5 】

この候補に対して、判定部 1 6 が、判定処理を行う（ステップ S 2 - 3）。

【 0 0 5 6 】

判定部 1 6 の判定方法は、メモリ 1 4 に書き込まれたパワー値の平均と最大値、及び、予め定められたスレッシュホールド値を用いて行う。

【 0 0 5 7 】

最大値が、(スレッシュホールド値) × (平均値) を超えている場合には、ステップ 3 へ進む。

【 0 0 5 8 】

最大値が、(スレッシュホールド値) × (平均値) を超えていない場合には、ステップ 1 へ戻る。

【 0 0 5 9 】

ただし、ステップ 1 の繰り返し回数を管理するリスタート回数(Rst_count1)が、パラメータ(rst1_param)で指定された回数(予め定められた設定値)を超えた場合、セルサーチは、失敗と判断して終了する。

【 0 0 6 0 】

すなわち、ステップ 2 - 3 の判定で、最大値が(スレッシュホールド値) × (平均値) を超えていない場合(NG)の場合、ステップ 4 - 1 で、リスタート回数(Rst_count1)を 1 つインクリメントし、ステップ 4 - 2 で、リスタート回数(Rst_count1)がパラメータ(rst1_param)より小であるか判定し、リスタート回数(Rst_count1)がパラメータ(rst1_param)以上の場合、セルサーチは失敗とし(ステップ 4 - 3)、リスタート回数(Rst_count1)がパラメータ(rst1_param)未満の場合、ステップ 1 - 1 から処理を行う。

【 0 0 6 1 】

ステップ 3 は、ステップ 2 が検出した 1 候補のタイミングにおいて、コリレータ部 1 1 において P - スクラムプリングコード(P-Scrambling Code)を用いた相関パワープロファイルの作成を開始する。

【 0 0 6 2 】

コリレータ部 1 1 の出力(相関値)は、パワー計算部 1 3 でパワー計算され、メモリ 1 4 に書きこまれる。

【 0 0 6 3 】

すべてのタイミングでコリレータ部 1 1 の動作およびパワー計算部 1 3 でのパ

ワー計算が終了し、メモリ 1 4 に書き込まれると、ディテクト部 1 5 が最大値検索を開始し、最大となる候補を 1 候補検出する（ステップ 3 - 2）。

【 0 0 6 4 】

この候補に対して、判定部 1 6 が、判定処理を行う（ステップ 3 - 3）。その判定方法は、メモリに書きこまれたパワー値の平均と最大値、スレッシュホールド値を用いて行う。

【 0 0 6 5 】

最大値が、（スレッシュホールド値）×（平均値）を超えている場合、セルサーチは、正常終了する（ステップ 5 - 3）。

【 0 0 6 6 】

最大値が（スレッシュホールド値）×（平均値）を超えていない場合、ステップ 3 へ戻る。

【 0 0 6 7 】

ただし、ステップ 3 の繰り返し回数を管理するリスタート回数(Rst_count2)がパラメータ(rst2_param)で指定された回数と等しいか超えた場合、ステップ 1 へ戻る。すなわち、ステップ 3 - 3 で N G の場合、ステップ 5 - 1 でリスタート回数(Rst_count2)を 1 つインクリメントし、リスタート回数(Rst_count2)がパラメータ(rst2_param)以上の場合、ステップ 4 - 1 に分岐し、リスタート回数(Rst_count2)がパラメータ(rst2_param)未満の場合、ステップ 3 - 1 から処理を行う。ステップ 4 - 1 では、ステップ 1 の繰り返し回数を管理するリスタート回数(Rst_count1)を 1 つインクリメントし、ステップ 4 - 2 では、リスタート回数(Rst_count1)がパラメータ(rst1_param)で指定された回数以上の場合、セルサーチは失敗とする。

【 0 0 6 8 】

次に、本発明の第二の実施例について説明する。本発明の第二の実施例の基本的構成は上記の通りであるが、ステップ 1 のスロットタイミング候補数についてさらに工夫を施している。

【 0 0 6 9 】

本発明の第二の実施例では、ステップ 1 におけるスロットタイミング候補を、

1 シンボル毎に、2 候補、計 2 0 候補検出する。本発明の第二の実施例において、コリメータ部は、前記第一の実施例のコリメータ部 1 1 のコリメータの数の 2 倍の数のコリメータを備えている。

【 0 0 7 0 】

図 6 は、本発明の第二の実施例において、ステップ 1 におけるコリレータの動作タイミングを示す図である。

【 0 0 7 1 】

(1) コリメータ部 1 1 の各コリレータ 1 ~ 6 4 は、1 チップ毎に、逆拡散位置を 1 チップシフトしながら動作を開始し、1 シンボル (2 5 6 チップ) 区間逆拡散を行い、結果を出力する。

【 0 0 7 2 】

(2) 上記 (1) の処理を 1 スロット (1 0 シンボル) 間連続して行う。

【 0 0 7 3 】

(3) 6 4 チップ停止した後、再び同様の動作を行う。

【 0 0 7 4 】

(4) 上記 (1) ~ (3) の処理を 4 スロット間、行うことにより 2 5 6 0 チップ位置での逆拡散を終了する。すなわちスロットタイミング候補数が 1 0 候補のときに比べて半分のスロットで、コリレータの動作は終了する。

【 0 0 7 5 】

本発明の第二の実施例は、前記第一の実施例と比べて、若干回路規模は増加するが、ステップ 2 - 3 の判定で、0.K.となる確率は上がる。

【 0 0 7 6 】

次に、本発明の第三の実施例について説明する。本発明の第三の実施例の基本的構成は上記の通りであるが、ステップ 1 でのスロットタイミング候補を、2 シンボル毎に 1 候補、計 5 候補検出する。

【 0 0 7 7 】

コリレータ部 1 1 におけるコリレータ数を 1 6 個とすることができる。この場合のディテクト (Detect) 部 1 5 の動作は、最大値を示したシンボルが偶数シンボルの場合、スロットタイミング候補はすべて偶数シンボルから、奇数シンボル

の場合、スロットタイミング候補はすべて奇数シンボルから選ぶ。

【0078】

本発明の第三の実施例は、前記第一の実施例と比べて、ステップ2-3での判定で、O.K.となる確率は、若干下がるが、回路規模は減少する。

【0079】

【発明の効果】

以上説明したように、本発明によれば、下記記載の効果を奏する。

【0080】

本発明の第1の効果は、回路規模を縮減することができる、ということである。

【0081】

その理由は、本発明においては、従来、ステップ2（フレームタイミング同定）、ステップ3（スクランブリングコード同定）で使用されるコリレータを、ステップ1（スロットタイミング同定）、ステップ2（フレームタイミング同定）、ステップ3（スクランブリングコード同定）の各ステップでシェアすることでセルサーチを実現している、ためである。256段のマッチドフィルタについてみると、本発明は、このマッチドフィルタを削除したことで、I/Q成分で512個の加算器、512ワードのレジスタを削減することができ、回路規模的には、約15Kゲートの削減が可能である。

【0082】

本発明の第2の効果は、回路規模の大幅な縮減により、消費電流を低減することができる、ということである。

【図面の簡単な説明】

【図1】

本発明の一実施例のセルサーチ回路の構成を示す図である。

【図2】

本発明の一実施例のセルサーチ動作を説明する流れ図である。

【図3】

本発明の一実施例において、P-サーチコードによる相関パワープロファイル

を作成するためのコリレータ部の動作タイミングを示した図である。

【図 4】

本発明の一実施例におけるディテクト部の最大値の検索方法を示す図である。

【図 5】

本発明の一実施例において、S-サーチコードによる相関パワープロファイルを作成するためのコリレータ部の動作タイミングを示した図である。

【図 6】

本発明の第二の実施例において、ステップ 1 におけるコリレータ部の動作タイミングを示す図である。

【図 7】

従来のセルサーチ回路の構成を示す図である。

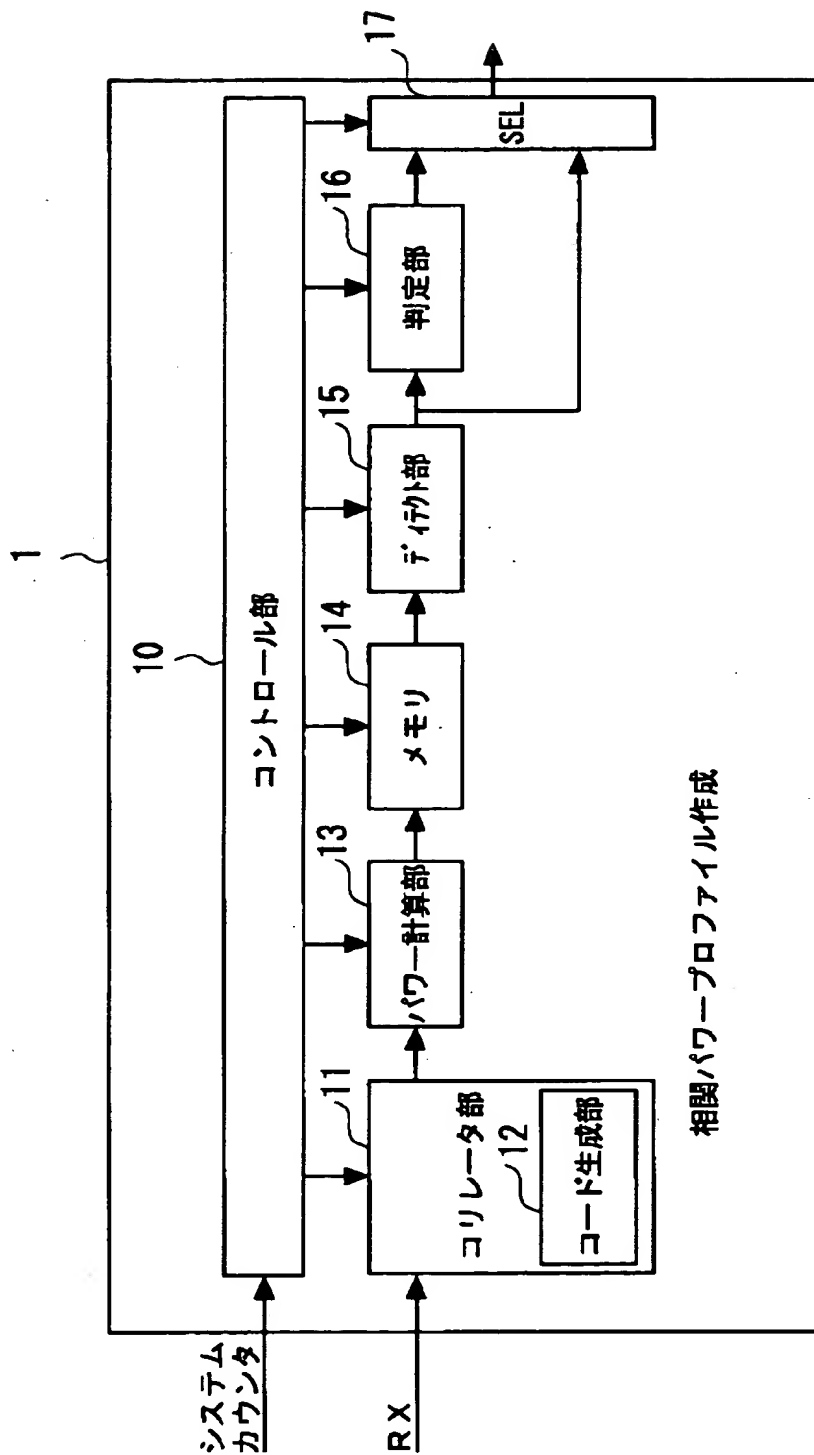
【符号の説明】

- 1、2 セルサーチ回路
- 10、20 コントロール部
- 11、21 コリレータ部
- 12、22 コード生成部
- 13、25 パワー計算部
- 14、26 メモリ
- 15、27 ディテクト部
- 16、28 判定部
- 17、24 セレクタ
- 23 マッチドフィルタ

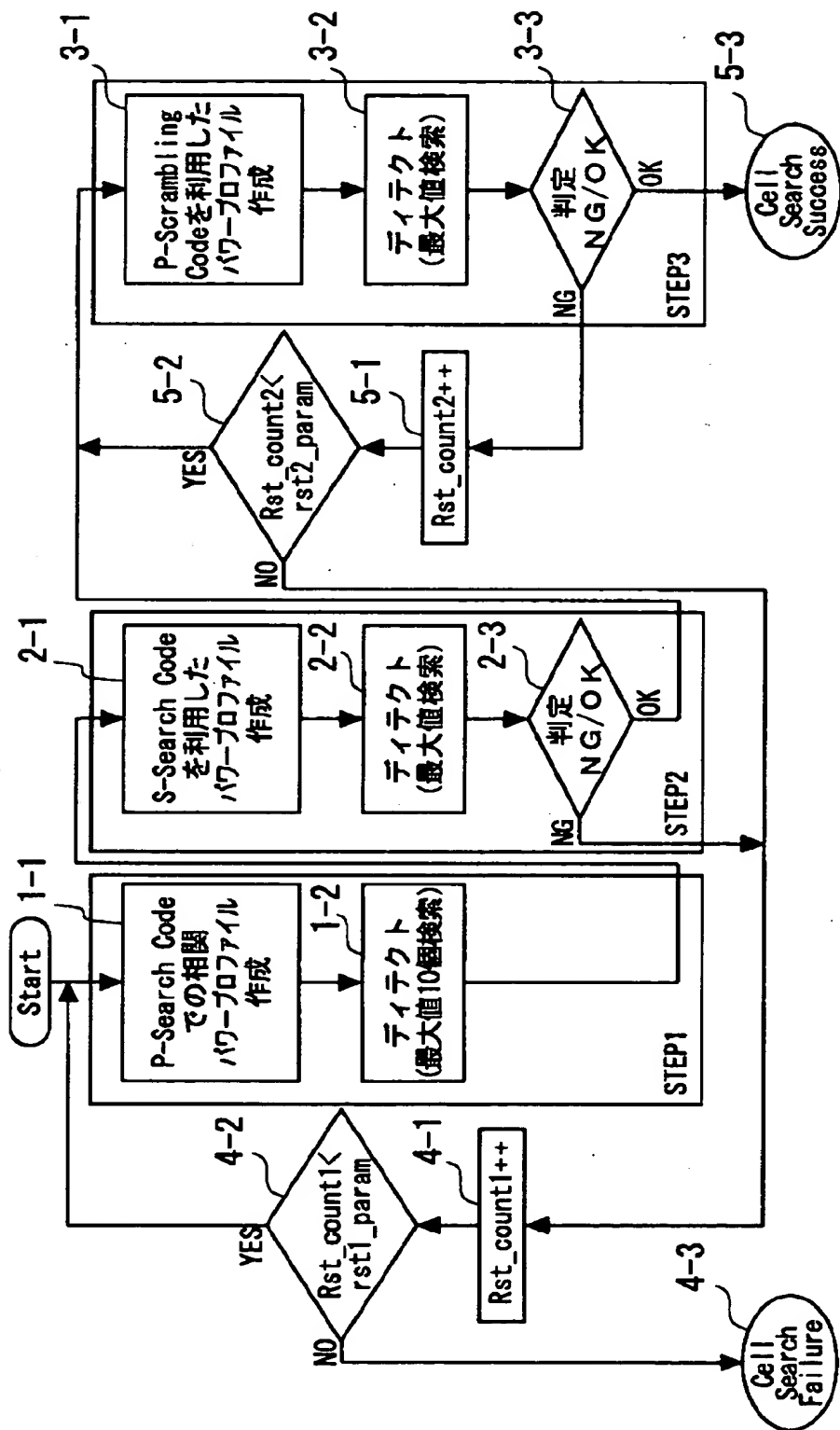
【書類名】

図面

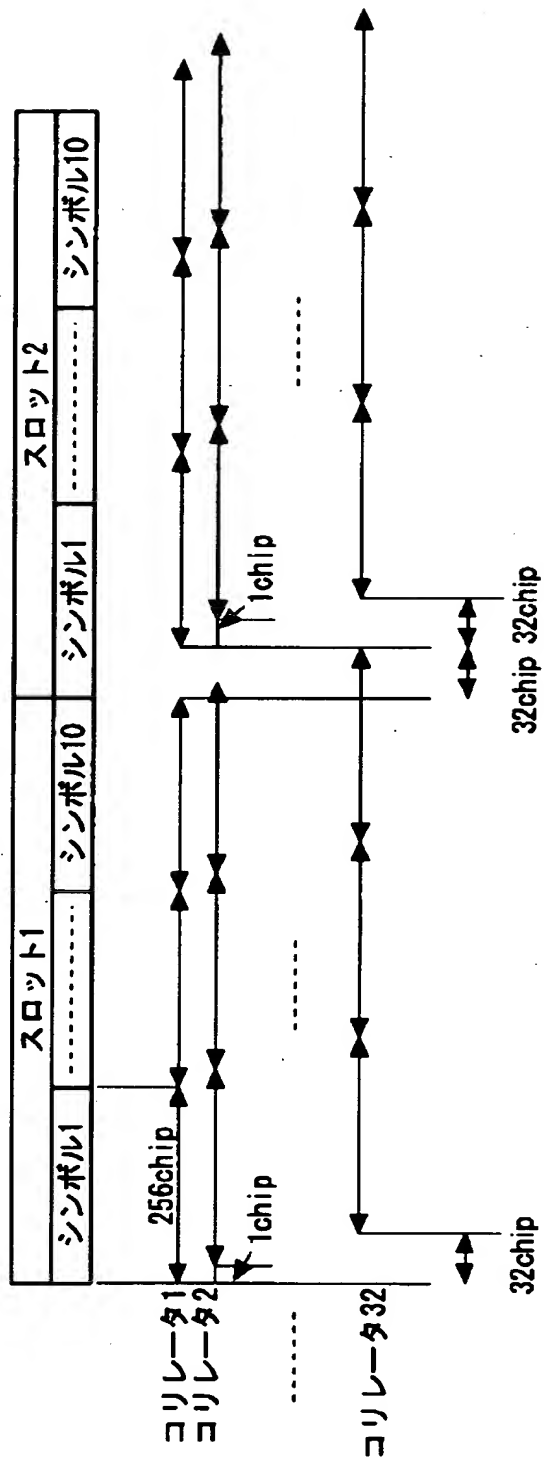
【図1】



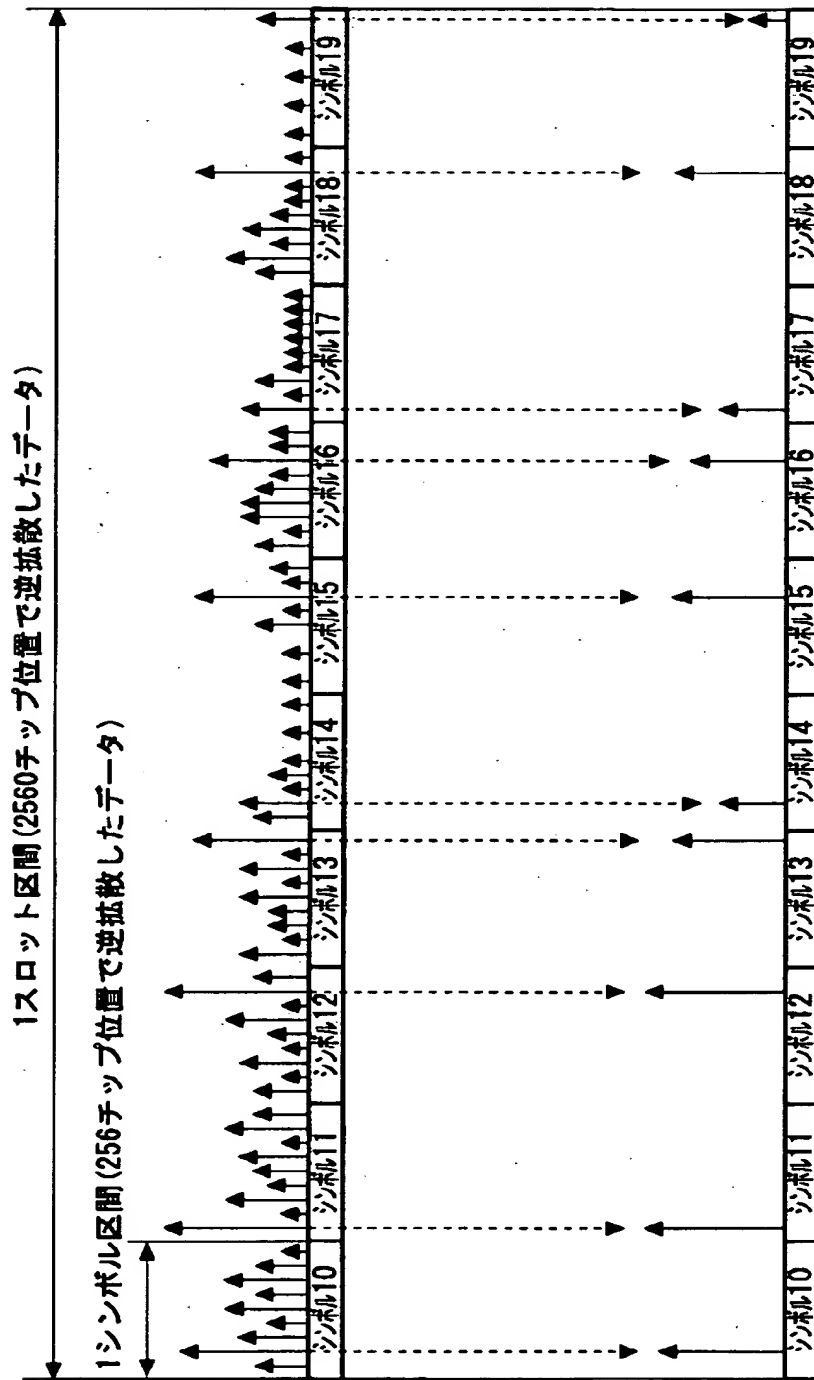
【図 2】



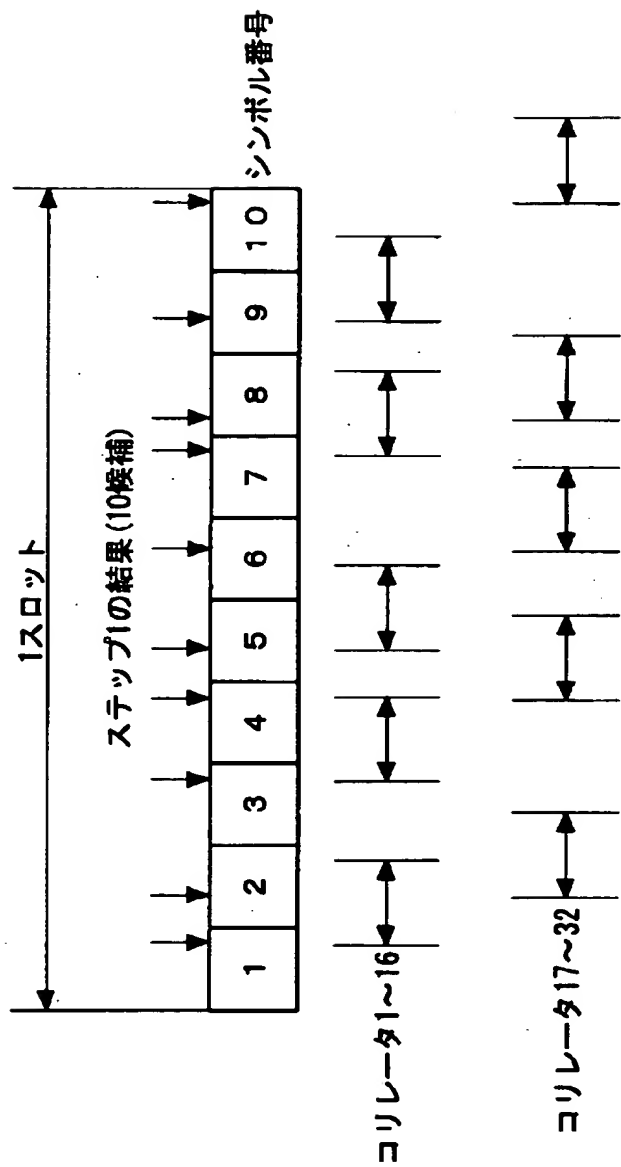
【図 3】



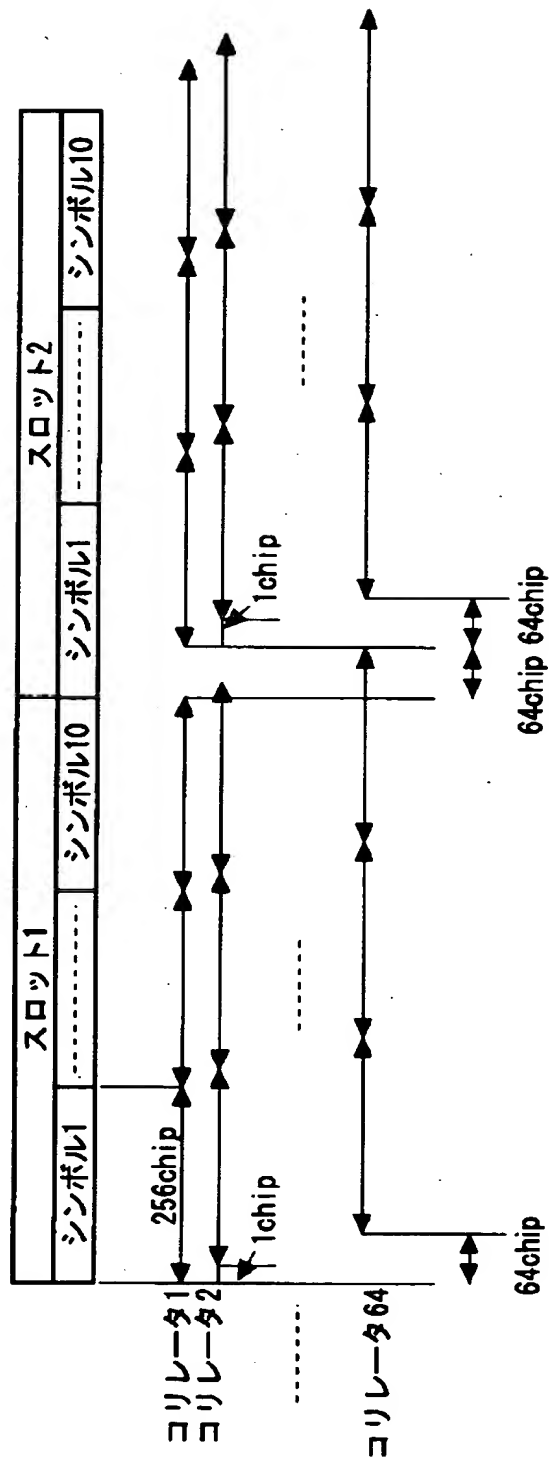
【図 4】



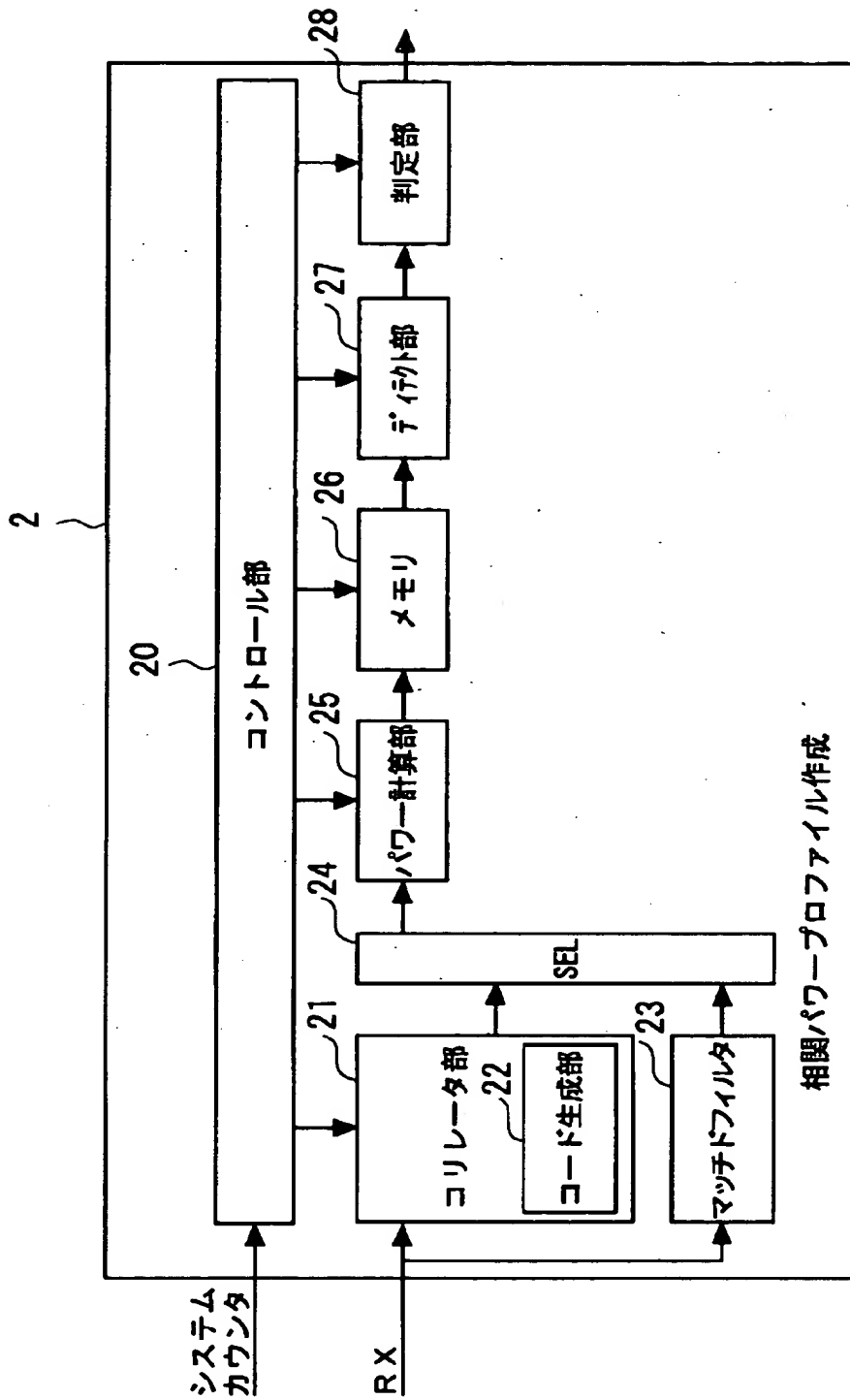
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】

マッチドフィルタを用いずにセルサーチを行う方法及び回路の提供。

【解決手段】

スロットタイミング同定ステップ1ではP-サーチコード、フレームタイミング同定ステップ2ではS-サーチコード、スクランブリングコード同定ステップ3ではP-スクランブリングコードの生成を行うコード生成部12を備え、ステップ1では、P-サーチコードを利用した逆拡散処理、ステップ2ではS-サーチコードを利用した逆拡散処理、ステップ3ではP-スクランブリングコードを利用した逆拡散処理を行うコリレータ部11と、相関パワーの計算を行うパワー計算部13と、パワー計算部の出力を格納するメモリ14と、メモリに格納された相関パワーの最大値検索を行う検出部15と、ステップ2と3においてスレッシュホールド係数を用いて前記メモリ内の相関パワーの平均値と最大値の判定を行う判定部16と、前記各部の動作タイミングの制御を行う制御部10とを備える。

【選択図】

図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区小杉町1丁目403番53

氏 名 日本電気アイシーマイコンシステム株式会社